

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 10 月 04 日
Application Date

申請案號：091123057
Application No.

申請人：麗臺科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 6 月 9 日
Issue Date

發文字號：09220561010
Serial No.

79993

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	整合性週邊元件連接介面卡及其匯流排系統
	英 文	
二、發明 創作人	姓 名	劉 孟 賢
	國 籍	中華民國
	住、居所	桃園縣八德市桃鶯路118號
三、申請人	姓 名 (名稱)	麗臺科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣中和市建一路166號18樓
	代 表 人 姓 名	盧 崑 山

四、中文發明摘要(發明之名稱： 整合性週邊元件連接介面卡及其匯流排系統)

本發明揭示一種整合性週邊元件連接介面卡及其匯流排系統，其包含至少二個匯流排控制器、一控制單元及一多工器。該控制單元用於產生該至少二個匯流排控制器之匯流排請求和匯流排回覆訊號。該多工器用於選擇一未使用之位址訊號線作為該至少二個匯流排控制器之一者之識別號選擇訊號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

C6
D6

本案已向：

國（地區） 申請專利，申請日期：

案號：

，☐有 ☒無主張優先權

本案在向中華民國提出申請前未曾向其他國家提出申請專利。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

H:\HULBZ\麗台科技中說\79993PTO.DOC

- 3 -

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (1)

發明領域

本發明係關於一種整合性週邊元件連接 (Peripheral Component Interconnect ; PCI) 介面卡及其匯流排系統，特別是關於一種整合兩個以上之匯流排控制器之週邊元件連接介面卡及其匯流排系統。

發明背景

PCI插槽已成了個人電腦之工業標準，其係作為高性能的PCI介面卡與處理器的連接通道。該PCI介面卡，例如音效卡、數據機、顯視卡和電視調諧卡等，藉由該PCI插槽提供之32位元匯流排而達到和該處理器之一百MB以上的數據交換。

在PCI介面卡上有時會存在兩個以上的匯流排控制器 (bus master)，此時需藉由一PCI橋接器 (bridge) 來分配匯流排之主控權，且分配I/O埠和記憶體之啟始位址及大小。

如圖1所示之習知PCI匯流排連接系統圖。在個人電腦之主機板端具有一個PCI主控端控制器11，例如晶片組中的北橋。該PCI主控端控制器11可用於仲裁由裝設於PCI插槽之那一個PCI介面卡取得PCI匯流排之主控權。在介面卡端具有三個介面卡，分別為第一PCI介面卡12、第二PCI介面卡13及第三PCI介面卡14，其中該第一PCI介面卡12包含第一匯流排控制器121、第二匯流排控制器122和PCI橋接器16，而第二PCI介面卡13及第三PCI介面卡14分別包含第三匯流排控制器131和第四匯流排控制器141。由於該第一PCI介面卡12包含兩個匯流排控制器，

五、發明說明 (2)

因此須加入一個PCI橋接器16來分配匯流排之主控權。

使用PCI橋接器16後將有下列之缺點：

1. 驅動軟體的架構需予以變更；
2. 整體功效降低；及
3. 成本較高。

由於具有多重匯流排控制器之PCI介面卡已逐漸普遍，因此如何提高該介面卡之功效及降低其成本，實為目前一件非常重要之課題。

發明之簡要說明

本發明之主要目的在提供一種整合性週邊元件連接介面卡及其匯流排系統，其在不需使用傳統的PCI橋接器下，仍可在具有多重匯流排控制器之PCI介面卡上完成正確之資料存取。

為達成上述之目的，本發明之整合性週邊元件連接介面卡，包含至少二個匯流排控制器、一控制單元及一多工器。該控制單元用於產生該至少二個匯流排控制器之匯流排請求和匯流排回覆訊號。該多工器用於選擇一未使用之位址訊號線作為該至少二個匯流排控制器之一者之識別號選擇訊號。

本發明之整合性週邊元件連接匯流排系統，包含至少一整合性週邊元件連接介面卡、一週邊元件連接主控端控制器、至少一匯流排請求訊號、至少一匯流排回覆訊號和至少一識別號選擇訊號。該週邊元件連接主控端控制器用於仲裁該週邊元件連接匯流排之使用權。該至少一匯流排請

五、發明說明 (3)

求訊號由該至少一整合性週邊元件連接介面卡向該週邊元件連接主控端控制器請求。該至少一匯流排回覆訊號由該週邊元件連接主控端控制器回覆該至少一整合性週邊元件連接介面卡之請求。該至少一識別號選擇訊號由該週邊元件連接主控端控制器選擇啟動該整合性週邊元件連接介面卡之一匯流排控制器。

本發明之整合性週邊元件連接介面卡，至少可產生下列優點：

1. 由於並未加入足以影響系統組態之硬體，因此驅動軟體的架構無需變更。
2. 因減少許多多餘之控制訊號，因此整體功效可以增加。
3. 由於省略了PCI橋接器，因此整體成本較低。

圖式之簡單說明

本發明將依照後附圖式來說明，其中：

圖 1 係習知之 PCI 匯流排連接系統圖；

圖 2 係本發明之 PCI 匯流排連接系統圖；

圖 3 係本發明之整合性週邊元件連接介面卡之一實施例；

圖 4 係本發明之整合性週邊元件連接介面卡之另一實施例；及

圖 5 係本發明之 PCI 匯流排連接系統之時序圖。

元件符號說明

11 PCI 主控端控制器

12 第一 PCI 介面卡

五、發明說明(4)

- | | |
|----------------|--------------|
| 13 第二PCI介面卡 | 14 第三PCI介面卡 |
| 121 第一匯流排控制器 | 122 第二匯流排控制器 |
| 131 第三匯流排控制器 | 141 第四匯流排控制器 |
| 16 PCI橋接器 | |
| 21 PCI主控端控制器 | 22 第一PCI介面卡 |
| 23 第二PCI介面卡 | 24 第三PCI介面卡 |
| 221 第一匯流排控制器 | 222 第二匯流排控制器 |
| 223 控制單元 | 224 多工器 |
| 225 電子式可抹唯讀記憶體 | |
| 231 第三匯流排控制器 | 241 第四匯流排控制器 |
| 251 第五匯流排控制器 | |

較佳實施例說明

圖2係本發明之PCI匯流排連接系統圖。本發明之技術特徵之一在於具有多重匯流排控制器之第一PCI介面卡22內不使用習知之PCI橋接器。為使PCI主控端控制器21仍可分辨位於第一PCI介面卡22之第一匯流排控制器221和第二匯流排控制器222之不同，本發明在控制線路的設計上即需進行部份區隔。

首先，該PCI主控端控制器21和第一至第四PCI介面卡22~25間之控制訊號包含REQ_0至REQ_3、GNT_0至GNT_3、INT_0至INT_3和IDSEL_0至IDSEL_3。REQ(匯流排請求)訊號線係代表匯流排控制器向該PCI主控端控制器21發出希望取得該PCI匯流排之請求，而GNT(匯流排回覆)訊號線係代表該PCI主控端控制器21

五、發明說明 (5)

同意由該匯流排控制器取得該PCI匯流排之請求。由於第一PCI介面卡22和該PCI主控端控制器21之間僅有一組REQ_0和GNT_0之控制訊號線，為分辨第一匯流排控制器221和第二匯流排控制器222之REQ和GNT訊號線之不同，在第一介面卡22另包含一控制單元223，用於依據一有限狀態機（finite state machine）而產生相對應的REQ_A和GNT_A供第一匯流排控制器221使用，及REQ_B和GNT_B供第二匯流排控制器222使用，如圖3所示。

該有限狀態機之演算法如下：

/* 以下係以一個PCI介面卡具有三個匯流排控制器為例，然實際上可依需求選擇不同數量的匯流排控制器*/

State START

Enter PCI_1

State PCI_1:

If REQ_A is activated then {keep state in
PCI_1 and let REQ_0 be activated}

Else if REQ_C is activated then keep state
in PCI_3

Else keep state in PCI_2;

If GNT_0 is activated then keep GNT_A
activated;

State PCI_2:

If REQ_B is activated then {keep state in
PCI_2 and let REQ_0 be activated}

五、發明說明 (6)

```
Else if REQ_A is activated then keep state
    in PCI_1
    Else keep state in PCI_3;
If GNT_0 is activated then keep GNT_B
    activated;
State PCI_3:
If REQ_C is activated then {keep state in
    PCI_3 and let REQ_0 be activated}
Else if REQ_B is activated then keep state
    in PCI_2
    Else keep state in PCI_1;
If GNT_0 is activated then keep GNT_C
    activated;

End.
```

INT (中斷) 控制訊號線係用於表示中斷 (interrupt) 之產生。由於第一匯流排控制器 221 和第二匯流排控制器 222 係共用同一個介面卡和同一個匯流排插槽，因此 INT_0 可同時連接至第一匯流排控制器 221 和第二匯流排控制器 222，而不會有衝突產生。而實際應用時，可指定其它之 INT_1、INT_2 等給第二匯流排控制器 222，將是另一可行的方式。

IDSEL_0 (識別號選擇) 控制訊號線係用於表示該 PCI 主控端控制器 21 是否選擇了第一介面卡 22。然為了讓該 PCI 主控端控制器 21 更進一步分辨該第一匯流排控制器

五、發明說明(7)

221 和第二匯流排控制器 222 是位於該第一介面卡 22 之兩個不同之匯流排控制器，本發明利用 IDSEL_0 作為選擇該第一匯流排控制器 221 之啟動機制，且利用一條系統未利用之位址訊號線作為選擇該第二匯流排控制器 222 之啟動機制。該未利用之位址訊號線可在系統電源開啟後，以程式掃描任一條未被利用之位址訊號線而指定為該第二匯流排控制器 222 之 IDSEL 訊號線。

圖 4 係本發明之整合性週邊元件連接介面卡之一實施例。該第一介面卡 22 另包含一多工器 224 和電子式可抹唯讀記憶體 225。由於 IDSEL_0 係用於選擇該第一匯流排控制器 221，而該第二匯流排控制器 222 卻無相對應之選擇訊號線，因此本發明可設計在開機時由該電子式可抹唯讀記憶體 225 之預設值選擇該多工器 224 之 AD_NULL 作為該第二匯流排控制器 222 之初始選擇訊號線。之後，以程式掃描一未用之位址訊號線（位於 AD21 至 AD27）以作為該第二匯流排控制器 222 之選擇訊號線。

圖 5 係本發明之 PCI 匯流排連接系統之時序圖，其中假設系統係處於極度忙碌之狀態。由圖 5 之時序圖中可得知第一介面卡 22 至第四介面卡 25 係輪流且循序使用 PCI 匯流排，且第一介面卡 22 之第一匯流排控制器 221 和第二匯流排控制器 222 亦係輪流且循序使用第一介面卡 22 所佔據之 PCI 匯流排之時段。

本發明之技術內容及技術特點已揭示如上，然而熟悉本

五、發明說明 (8)

項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

裝
訂
線

六、申請專利範圍

1. 一種整合性週邊元件連接介面卡，包含：

至少二個匯流排控制器；

一控制單元，用於產生該至少二個匯流排控制器之匯流排請求和匯流排回覆訊號；以及

一多工器，用於選擇一未使用之位址訊號線作為該至少二個匯流排控制器之一者之識別號選擇訊號。

2. 如申請專利範圍第 1 項之整合性週邊元件連接介面卡，其中該至少二個匯流排控制器係使用同一中斷控制訊號線。

3. 如申請專利範圍第 1 項之整合性週邊元件連接介面卡，其另包含一電子式可抹唯讀記憶體，用於在開機時給予該至少二個匯流排控制器之一者之初始識別號選擇訊號，及在開機後記錄該未使用之位址訊號線。

4. 一種整合性週邊元件連接匯流排系統，包含：

至少一個如申請專利範圍第 1 項之整合性週邊元件連接介面卡；

一週邊元件連接主控端控制器，用於仲裁該週邊元件連接匯流排之使用權；

至少一匯流排請求訊號，由該至少一整合性週邊元件連接介面卡向該週邊元件連接主控端控制器請求；

至少一匯流排回覆訊號，由該週邊元件連接主控端控制器回覆該至少一整合性週邊元件連接介面卡之請求；
及

至少一識別號選擇訊號，由該週邊元件連接主控端控

六、申請專利範圍

制器選擇啟動該整合性週邊元件連接介面卡之一匯流排控制器。

5. 如申請專利範圍第 4 項之整合性週邊元件連接匯流排系統，其另包含具有單一匯流排控制器之週邊元件連接介面卡。
6. 如申請專利範圍第 4 項之整合性週邊元件連接匯流排系統，其中該整合性週邊元件連接介面卡之該至少二個匯流排控制器係使用同一中斷控制訊號線。
7. 如申請專利範圍第 4 項之整合性週邊元件連接匯流排系統，其中該週邊元件連接主控端控制器在系統電源開啟後，以一程式掃描任一條未被利用之位址訊號線而指定為該整合性週邊元件連接介面卡之另一識別號選擇訊號。
8. 如申請專利範圍第 4 項之整合性週邊元件連接匯流排系統，其中該至少一整合性週邊元件連接介面卡內之至少二個匯流排控制器係以交替的方式取得匯流排之控制權。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

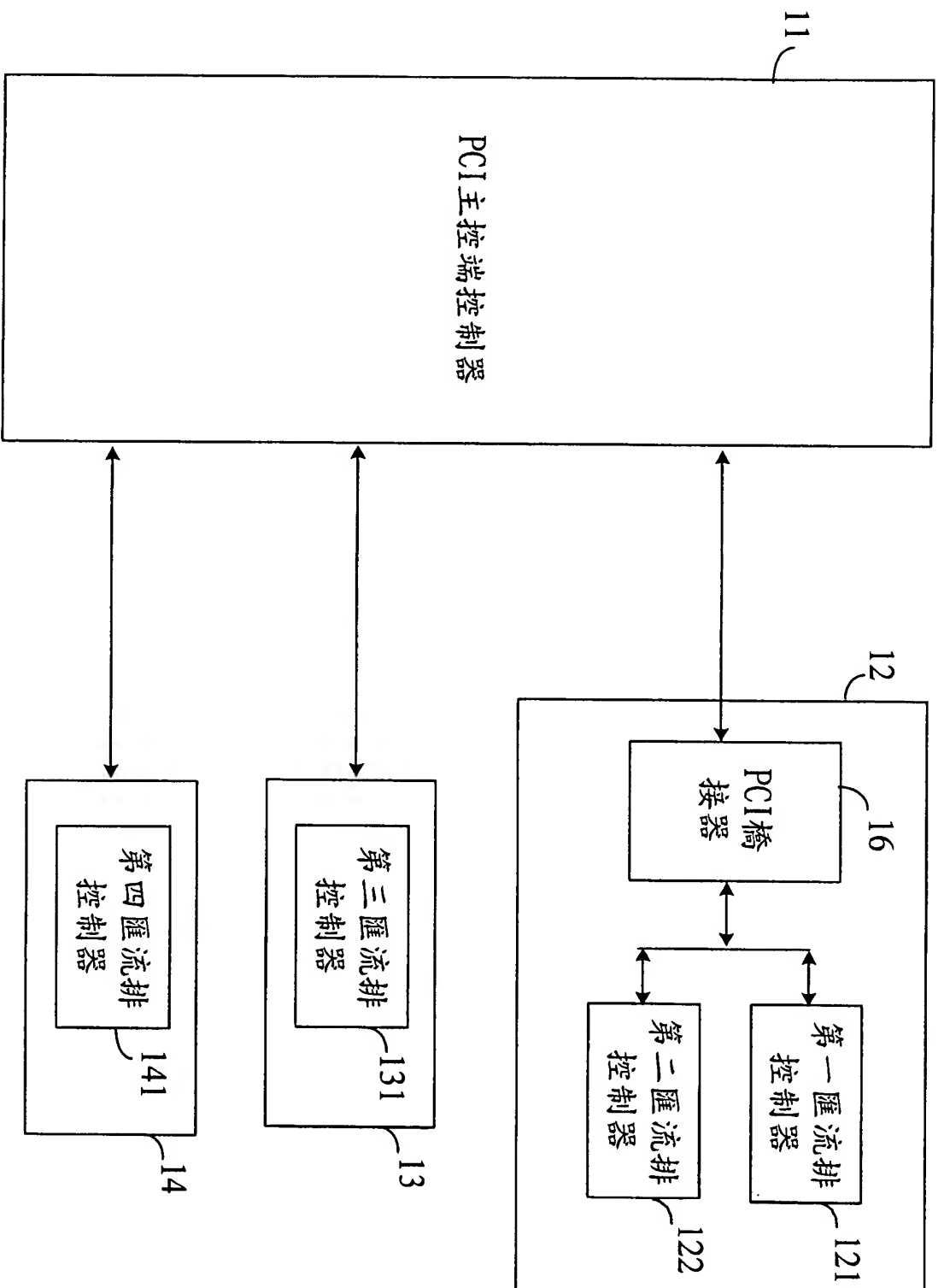


圖 1 (先前技藝)

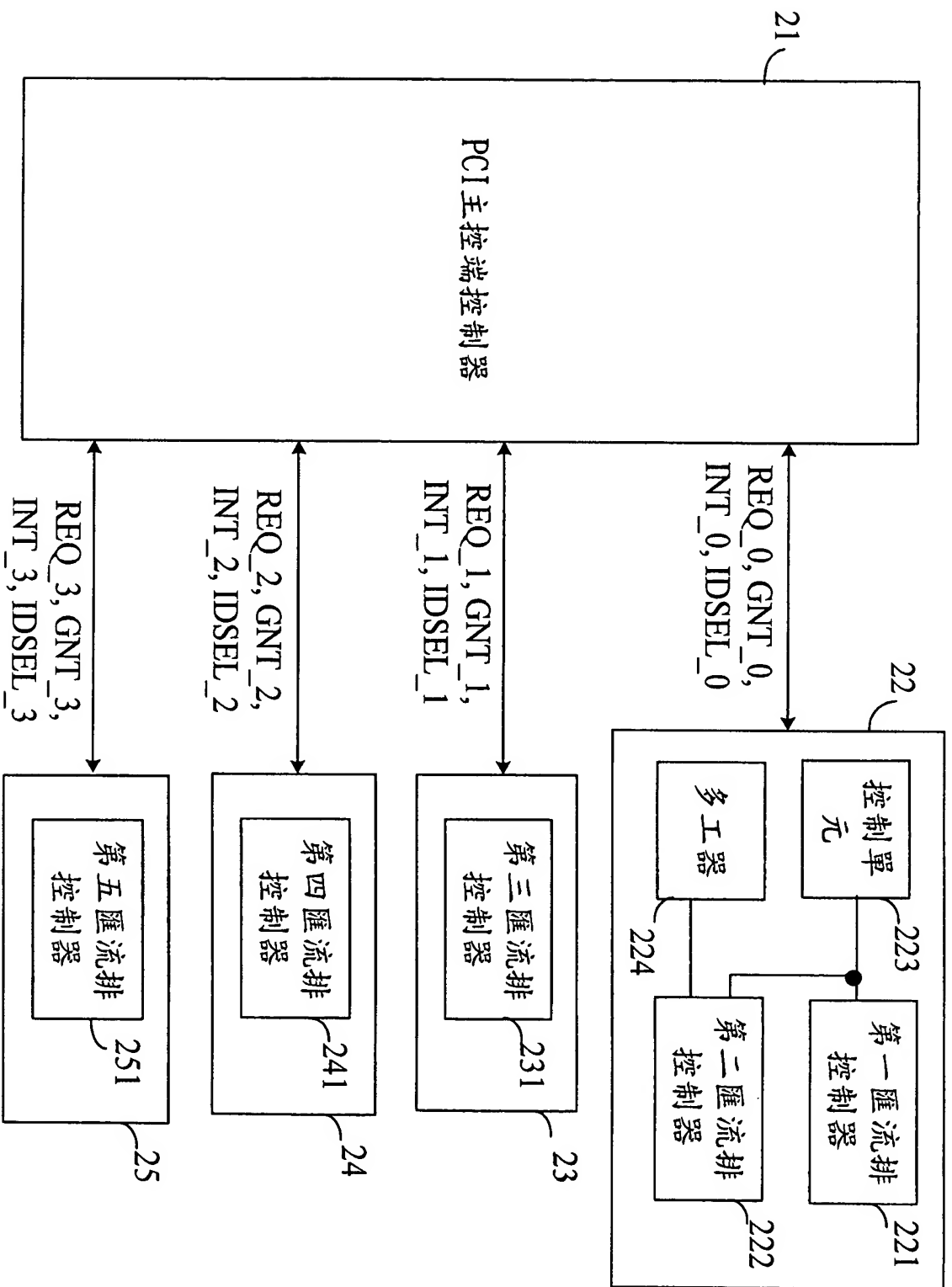


圖 2

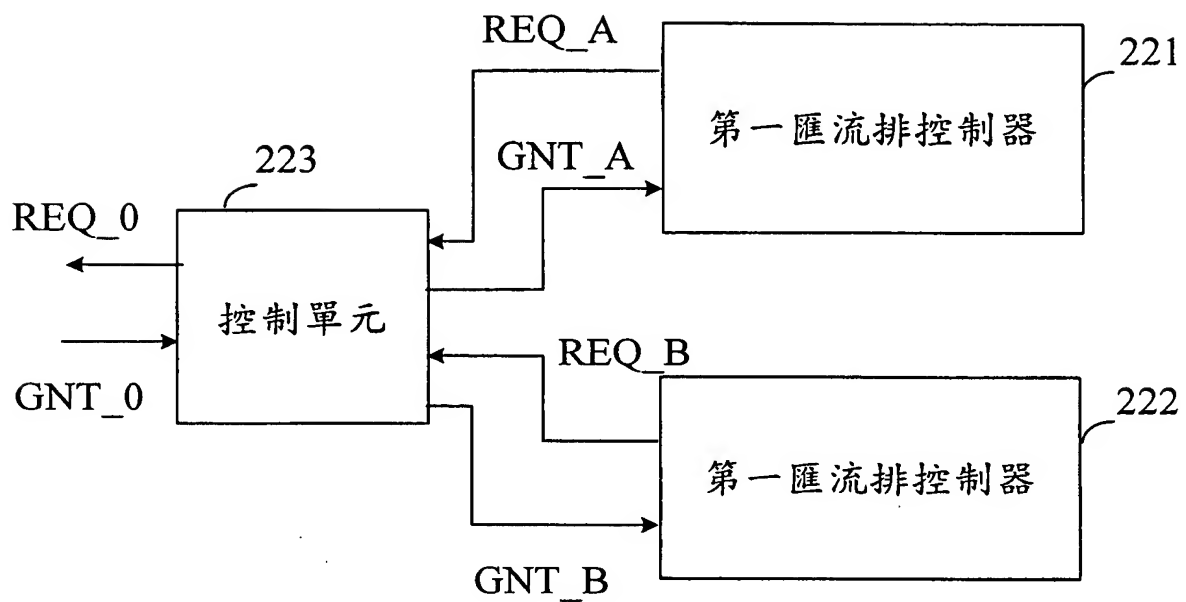


圖 3

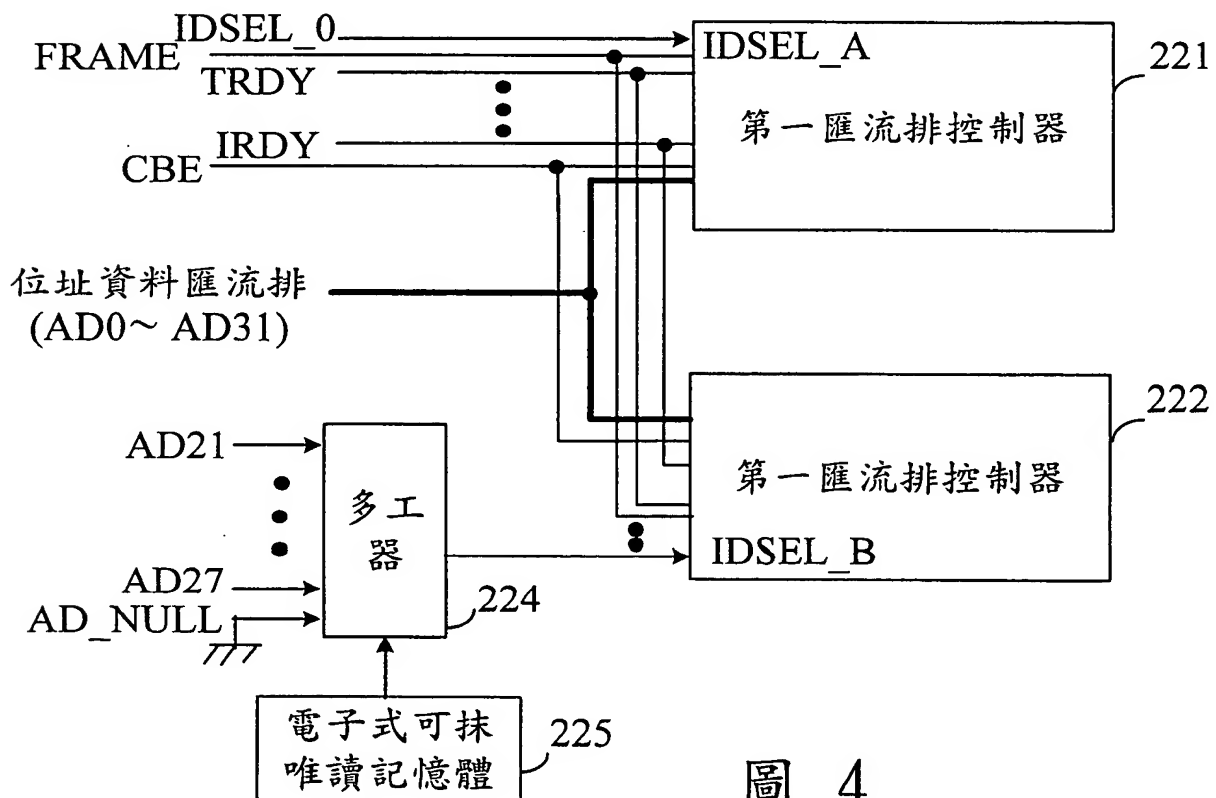


圖 4

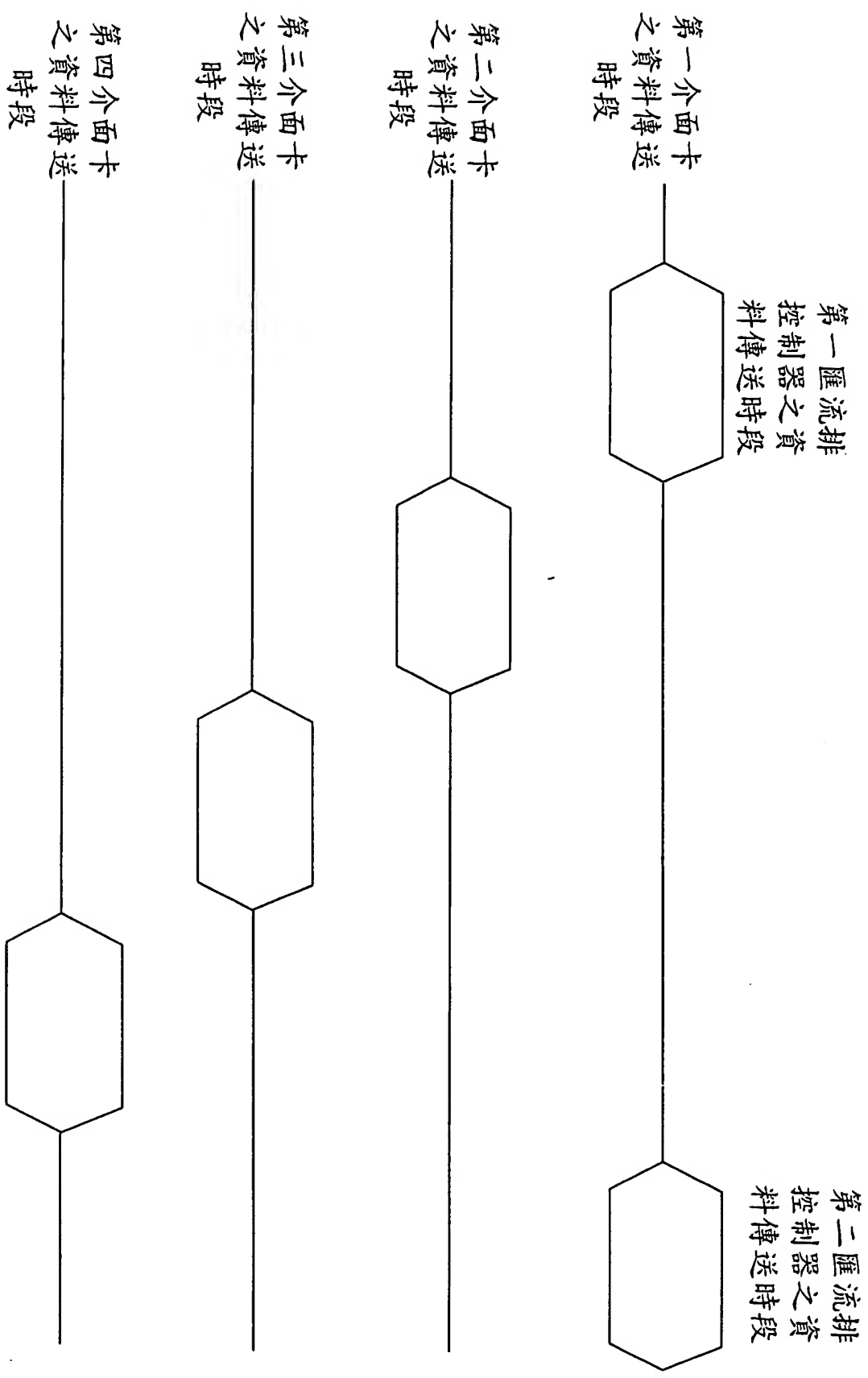


圖 5